



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07099486 A**(43) Date of publication of application: **11 . 04 . 95**

(51) Int. Cl. **H04J 11/00**
H04L 7/08
H04L 27/22
H04N 5/04

(21) Application number: **05241688**(22) Date of filing: **28 . 09 . 93**(71) Applicant: **TOSHIBA CORP**

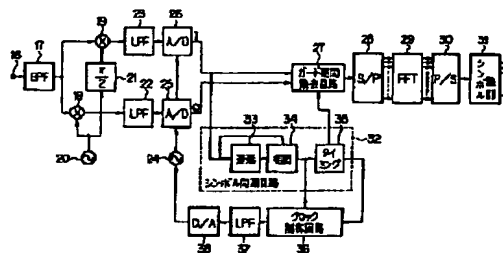
(72) Inventor: **ISHIKAWA TATSUYA**
SUGITA YASUSHI
SEKI TAKASHI

(54) **OFDM RECEPTION SYNCHRONIZING CIRCUIT** COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To improve the information transmission efficiency without transmission of a specific reference symbol by generating a timing signal corresponding to a valid symbol period based on the correlation between an orthogonal frequency division multiplex (OFDM) modulation signal delayed up to a timing when a signal for a guard period is coincident with an original waveform and an OFDM modulation signal not delayed.

CONSTITUTION: A synchronizing signal used to fetch a signal for a valid symbol period is generated from an OFDM modulation signal having a guard period in which a signal of the valid symbol period is mapped in part of the valid symbol period. That is, a delay circuit 33 of a symbol synchronizing circuit 32 delays the OFDM modulation signal up to a timing when the guard period is coincident with an original mapped waveform. Then a correlation circuit 34 obtains the correlation between the delayed OFDM modulation signal and the OFDM modulation signal not delayed. Then a timing circuit 35 generates a timing signal corresponding to the valid symbol period based on an output of the correlation circuit 34.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99486

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 11/00	Z			
H 0 4 L 7/08	A	7741-5K		
27/22				
H 0 4 N 5/04	Z			
		9297-5K		
			H 0 4 L 27/ 22	C
			審査請求 未請求	請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平5-241688

(22) 出願日 平成5年(1993)9月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石川 達也

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝映像メディア技術研究所内

(72) 発明者 杉田 康

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝映像メディア技術研究所内

(72) 発明者 関 隆史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝映像メディア技術研究所内

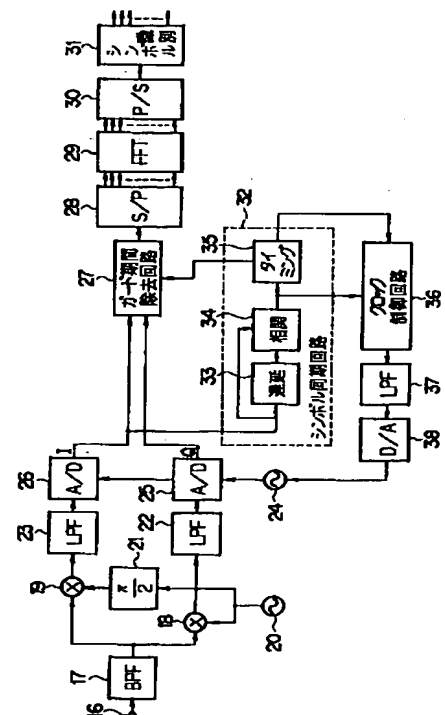
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 OFDM受信同期回路

(57) 【要約】

【目的】 この発明は、特別な基準シンボルを送送せずに情報の伝送効率を高め、しかも容易に送信側との正確なクロック同期をとることが可能であるOFDM受信同期回路を提供することを目的としている。

【構成】 有効シンボル期間の一部に該有効シンボル期間の信号の一部が複写されたガード期間を有するOFDM変調信号から、有効シンボル期間の信号を取り込むための同期信号を生成するOFDM受信同期回路において、OFDM変調信号をガード期間の信号が複写されたものの波形と一致するタイミングまで遅延させる遅延手段と、この遅延手段から出力されるOFDM変調信号と遅延手段によって遅延されないOFDM変調信号との相関を求める相関演算手段と、この相関演算手段の出力に基づいて有効シンボル期間に対応したタイミング信号を生成する同期生成手段とを備えている。



【特許請求の範囲】

【請求項1】 有効シンボル期間の一部に該有効シンボル期間の信号の一部が複写されたガード期間を有するOFDM変調信号から、前記有効シンボル期間の信号を取り込むための同期信号を生成するOFDM受信同期回路において、前記OFDM変調信号を前記ガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させる遅延手段と、この遅延手段から出力されるOFDM変調信号と前記遅延手段によって遅延されないOFDM変調信号との相関を求める相関演算手段と、この相関演算手段の出力に基づいて前記有効シンボル期間に対応したタイミング信号を生成する同期生成手段とを具備してなることを特徴とするOFDM受信同期回路。

【請求項2】 有効シンボル期間の一部に該有効シンボル期間の信号の一部が複写されたガード期間を有し、所定位置に前記有効シンボル期間検出用の基準シンボルが周期的に挿入されたOFDM変調信号から、前記有効シンボル期間の信号を取り込むための同期信号を生成するOFDM受信同期回路において、前記OFDM変調信号を前記ガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させる遅延手段と、この遅延手段から出力されるOFDM変調信号と前記遅延手段によって遅延されないOFDM変調信号との相関を求める相関演算手段と、前記OFDM変調信号から前記基準シンボルを検出する検出手段と、この検出手段の出力及び前記相関演算手段の出力に基づいて前記有効シンボル期間に対応したタイミング信号を生成する同期生成手段とを具備してなることを特徴とするOFDM受信同期回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は、デジタル化されたテレビジョンデータをOFDM（直交周波数分割多重）変調して伝送するデジタル伝送システムの受信装置に係り、特に受信データに基づいて送信側との正確なクロック同期をとり得るようにしたOFDM受信同期回路に関する。

【0002】

【従来の技術】周知のように、OFDM変調方式は、文献（NHK発行VIEW誌1993年5月号第1頁～第6頁）に説明されているように、デジタル伝送システムにおいて特に問題となっているところの、伝送路におけるマルチパス歪の影響を受けにくいデジタル変調方式として注目されている。

【0003】OFDM変調は、周波数多重方式における複数の搬送波の位相を直交させたものであり、各搬送波に対応する変調波のスペクトルは重なりあっているが、直交条件が満足されるように重なりあっているため、受信側で完全に分離することが可能である。

【0004】この直交の様子は、ちょうど時間領域における符号間干渉のないナイキスト条件と同じである。符

号間干渉は、ナイキスト条件が満たされれば、各パルスの応答波形は互いに重なりあっているものの、適切な標本化タイミングで信号を抽出することにより完全にパルス間で干渉のない受信が可能となる。

【0005】これを周波数領域で実現するようにしたものが、OFDM変調方式である。このため、従来の周波数分割多重のように、各変調波の間にスペクトル重なりを防ぐためのガード帯域が必要なくなり、高い周波数利用効率が達成される。

【0006】また、OFDM変調は、複数の搬送波を利用するが、これらは直交関係になければならない。これを実現するため、OFDMの変復調回路には、フーリエ変換回路が用いられる。このフーリエ変換回路は、一般にデジタル信号処理によるFFT（高速離散フーリエ変換）回路で実現することができ、搬送波の数はほぼ任意に設定可能である。すなわち、数100から数1000の搬送波を利用することが可能である。

【0007】このため、各搬送波に割り当てられるデジタルデータのレートは、数100分の1から数1000分の1になり、各搬送波は、非常に低速なレートで変調される。よって、各搬送波毎にみれば、変調シンボルレートが非常に低くなり、シンボル期間は長くなる。このため、通常のマルチパスは、ほとんど近接したマルチパスとみなすことができ、マルチパスの影響を大幅に軽減することができる。

【0008】さらに、OFDM変調では、マルチパスの影響を完全に除去するために、シンボル期間の一部にガード期間を用意する手法が知られている。ガード期間は、有効シンボル内の信号波形の一部をそのまま複写したものである。

【0009】このガード期間により、マルチパスが発生して前シンボルが次のシンボルに干渉するような場合でも、マルチパスの遅延時間がガード期間内であるときには、つまり自分自身が複写された信号しか漏れ込まないときには、原理的に符号間干渉とはならない。

【0010】ただし、直接波とマルチパス波との合成が受信信号となるため、マルチパス妨害の大きさ（一般にD/Uと呼ばれる）に依存して各搬送波の変調シンボルの位相及び振幅がずれる。このため、一定期間毎に、既知の位相及び振幅を有する基準信号を、予め伝送しておく必要がある。

【0011】一方、OFDM復調ではFFT回路を用いるが、FFTは上記ガード期間を除いた（ガード期間がなければ1シンボル期間は全て有効シンボル期間となる）有効シンボル期間の1シンボル期間のみを規定のクロックで正確に取り込み、フーリエ変換演算することで各搬送波の位相及び振幅情報を得る必要がある。すなわち、これが復調動作となる。

【0012】もし、この正確な有効期間を検出することができないと、上記各搬送波の直交性が満たされないこ

となり、各搬送波間に干渉を生じてデジタル情報の正常な復調が不可能となる。従来のOFDM復調回路は、受信側における有効シンボル期間の検出を特別な基準シンボルの伝送により行なっている。

【0013】すなわち、図9は、上記基準シンボルとして無変調シンボル、つまり信号が存在していないシンボルを伝送する例を示している。このような無変調シンボルが周期的に伝送されると、受信側では、図10に示すように、入力端子11に供給された検波出力から、変調波のエンベロープ検出回路12を用いて、そのエンベロープ成分を検出する。そして、エンベロープ検出回路12の出力が、判定回路13によって基準レベルとレベル比較されることにより、無信号つまりゼロキャリアが検出され、この検出期間が1シンボル期間となる。

【0014】この無変調シンボルの検出タイミングは、安定なクロックで動作するタイミング回路14をリセットする。そして、次の基準シンボルが伝送されるまでは、このタイミング回路14から出力される信号が、検波出力からガード期間を除去して有効シンボル期間のデータのみを抽出するためのゲート信号として、出力端子15を介して取り出される。

【0015】ところで、上記のように基準シンボルを周期的に伝送して、受信側のFFTに供給するための有効シンボルを抽出するタイミングを得る手法は、劣悪な受信状態において有効な手法ではあるが、基準シンボルを伝送するためにその分だけ情報を伝送することができなくなり、短い周期で基準シンボルを伝送すると情報の伝送効率が低下するという不都合がある。

【0016】逆に、長い周期で基準シンボルを伝送すると、雑音によりエンベロープ検出に誤動作があった場合、長期間に渡って正常なFFT復調が不可能になるといった問題が生じる。もともとOFDMの1シンボル期間は、入力デジタルデータを数100から数1000にシリアル/パラレル展開して、各パラレル出力で各搬送波を変調するため、1シンボル期間は単一搬送波変調に比べて数100から数1000倍長くなっている。

【0017】このため、上述した周期的に伝送される基準シンボルが、比較的頻繁に伝送されるとしても、この基準シンボルが伝送される時間間隔は非常に長いものとなって、1度のエンベロープ検出の誤動作の影響が長時間続くことになる。

【0018】また、受信側で用いるクロックの周波数精度が低い場合には、周期的に伝送される基準シンボル相互間で、タイミング回路14で設定されるから有効シンボル期間タイミングが徐々にずれるという問題も発生する。高い精度のクロック発振源は、高価であるばかりでなく、移動体での受信を考慮するとドップラー効果によるクロック周波数のシフトも同様の問題を生じる。この結果、基準シンボルの直前では、正確なFFT復調ができなくなり、デジタルデータの伝送誤り率が劣化すると

いう問題もある。

【0019】

【発明が解決しようとする課題】以上のように、基準シンボルを周期的に伝送することで受信側の有効シンボル期間タイミングを得る従来の手段では、基準シンボルを伝送する分だけ情報を伝送することができず伝送効率が低下するとともに、送信側との正確なクロック同期をとることが困難であるという問題を有している。

【0020】そこで、この発明は上記事情を考慮してなされたもので、特別な基準シンボルを伝送せずに情報の伝送効率を高め、しかも容易に送信側との正確なクロック同期をとることが可能である極めて良好なOFDM受信同期回路を提供することを目的とする。

【0021】

【課題を解決するための手段】この発明に係るOFDM受信同期回路は、有効シンボル期間の一部に該有効シンボル期間の信号の一部が複写されたガード期間を有するOFDM変調信号から、有効シンボル期間の信号を取り込むための同期信号を生成するものを対象としている。そして、OFDM変調信号をガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させる遅延手段と、この遅延手段から出力されるOFDM変調信号と遅延手段によって遅延されないOFDM変調信号との相関を求める相関演算手段と、この相関演算手段の出力に基づいて有効シンボル期間に対応したタイミング信号を生成する同期生成手段とを備えるようにしている。

【0022】また、この発明に係るOFDM受信同期回路は、有効シンボル期間の一部に該有効シンボル期間の信号の一部が複写されたガード期間を有し、所定位置に有効シンボル期間検出用の基準シンボルが周期的に挿入されたOFDM変調信号から、有効シンボル期間の信号を取り込むための同期信号を生成するものを対象としている。そして、OFDM変調信号をガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させる遅延手段と、この遅延手段から出力されるOFDM変調信号と遅延手段によって遅延されないOFDM変調信号との相関を求める相関演算手段と、OFDM変調信号から基準シンボルを検出する検出手段と、この検出手段の出力及び相関演算手段の出力に基づいて有効シンボル期間に対応したタイミング信号を生成する同期生成手段とを備えるようにしている。

【0023】

【作用】上記のような構成によれば、ガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させたOFDM変調信号と、遅延されないOFDM変調信号との相関に基づいて有効シンボル期間に対応したタイミング信号を生成するようにしたので、従来のように特別な基準シンボルを伝送する必要がなくなり、情報の伝送効率を高めることができる。また、基準シンボルが伝送されている場合には、OFDM変調信号から基準シ

ンボルを検出した出力と相関とに基づいて有効シンボル期間に対応したタイミング信号を生成することにより、相関によるタイミング検出の性能を補強することができる。

【0024】

【実施例】以下、この発明の一実施例について図面を参照して詳細に説明する。図1は、OFDM復調システムの全体的な構成を示している。すなわち、入力端子16に供給されたIF（中間周波）帯域の変調信号は、BPF（帯域通過フィルタ）17により帯域外雑音が除去された後、混合回路18、19よりなる直交検波回路によって、局部発振回路20から出力される局部発振信号と該局部発振信号を90°移相回路21で90°移相した信号とそれぞれ混合されることにより、ベースバンド帯に変換される。

【0025】各混合回路18、19の出力は、それぞれLPF（低域通過フィルタ）22、23により高調波成分が除去された後、クロック発振回路24から出力されるクロックに基づいて駆動されるA/D（アナログ/デジタル）変換回路25、26によってデジタルデータに変換される。A/D変換回路25、26の出力データは複素デジタルデータであり、A/D変換回路26の出力データが同相軸検波成分（実数部）Iであり、A/D変換回路25の出力データが直交軸検波成分（虚数部）Qである。

【0026】これらA/D変換回路26、25の出力データI、Qは、ガード期間除去回路27に供給されて有効シンボル期間のデータのみが取り出されて、S/P（シリアル/パラレル）変換回路28に供給される。このS/P変換回路28は、有効シンボル期間でサンプリングされたデータを全てパラレル化している。この場合、有効シンボル期間のデータ数は、一般にOFDM変調における搬送波数に一致するように、A/D変換されている。

【0027】S/P変換回路28でパラレル化されたデータは、FFT回路29に供給されて、クロック発振回路24から出力されるクロックに基づいて高速離散フリエ変換され、各搬送波の位相及び振幅が出力される。FFT回路29の出力は、P/S（パラレル/シリアル）変換回路30によりシリアルなデータ系列に変換された後、シンボル識別回路31により位相及び振幅が識別され、ここに、伝送された情報が復調される。

【0028】一方、A/D変換回路26、25から出力された複素デジタルデータは、その実数部I及び虚数部Qのいずれか一方または両方（図示の場合は実数部I）が、シンボル同期回路32に供給されて同期検出に供される。すなわち、A/D変換回路26から出力された複素デジタルデータの実数部Iは、シフトレジスタ等で構成される遅延回路33により後述する規定時間だけ遅延された後、相関回路34により遅延されたデータと遅延

されていないデータとの相関が求められる。

【0029】相関回路34で求められた相関係数は、フライホイールタイミング回路35により2値化される。フライホイールタイミング回路35は、前記タイミング回路14を内蔵しており、2値化された相関係数に基づいてタイミング回路14がリセットされる。タイミング回路14は、一度リセットされると以降はリセットしなくても周期的に必要なガード期間または有効シンボル期間のタイミングを示す信号を出力し続けることができる。これは、フライホイール機能としての周知の技術であり、簡単なカウンタ回路で実現することができる。

【0030】このようにしてフライホイールタイミング回路35から発生されたタイミング信号は、ガード期間除去回路27に供給されて有効シンボル期間のデータのみを抽出するのに用いられる。このため、FFT回路29では、有効シンボル期間のデータのみで演算を行ない正確な復調を行なうことができる。

【0031】図2及び図3は、以上の動作を説明するため図である。まず、図2は、ここで前提としているOFDM変調波形（1シンボル期間TS）を示している。OFDM変調波形には、周期的にガード期間TGが挿入されており、これは有効シンボル期間TS'の波形の一部の複写である。また、図3は、相関演算によるシンボルタイミング検出の動作原理を示している。

【0032】すなわち、図3（a）に示すA/D変換回路26から出力された複素デジタルデータの実数部Iは、遅延回路33により同図（b）に示すようにTS'だけ遅延される。これにより、本来ガード期間の信号が複写されたもとの波形と一致するタイミングとなる。このため、相関回路34により、遅延されたデータと遅延されていないデータとの相関を求めると、図3（c）に示すように、周期的に大きな相関係数が得られる。

【0033】この大きな相関係数の得られた位置がシンボルの境界のタイミングとなり、この位置を基準にフライホイールタイミング回路35は、図3（d）に示すように復調動作に必要なタイミング信号を発生することになる。フライホイールタイミング回路35は、前述したようにフライホイール特性を持たせてあるので、十分に高いスレッシュホールドで相関係数を2値化するようにすれば、雑音や信号のランダム性により生じる疑似的な相関のピークを除去することができる。この点に加えて、一般的な同期保護技術（前方保護及び後方保護）を応用することも可能である。

【0034】したがって、上記実施例のような構成によれば、有効シンボル期間のデータの一部が複写されたガード期間を有するOFDM変調信号を、ガード期間の信号が複写されたもとの波形と一致するタイミングまで遅延させ、遅延されたデータと遅延されていないデータとの相関を求め、この相関係数の大きさに基づいて有効シンボル期間タイミングを検出するようにしたので、従来

のように特別な基準シンボルを伝送する必要がなくなり、情報の伝送効率を高めることができる。

【0035】また、上記実施例では、フライホイールタイミング回路35から出力されるタイミング信号を用いて、A/D変換やFFT演算用等に使用されるクロックの周波数制御を行なっている。すなわち、クロック制御回路36に、フライホイールタイミング回路35から出力されるタイミング信号と、相関回路34から出力される相関係数とを供給することにより両者の誤差を求める。そして、この誤差信号を平滑用のLPF37を介してD/A（デジタル/アナログ）変換回路38でアナログ化した信号で、クロック発振回路24の発振周波数を制御している。このようなクロック制御フィードバックを施すことにより、送信側と受信側との動作クロックを完全に一致させることができる。

【0036】図4乃至図7は、それぞれ上記シンボル同期回路32の変形例を示している。まず、図4において、入力端子39に供給された複素デジタルデータの実数部Iまたは虚数部Qは、ゲート回路40を介して遅延回路41で遅延された後、乗算回路42により遅延されていないデータと乗算されることで相関係数が求められる。この相関係数は、LPF43により図中に示すようにピーク値のわかりやすい波形に変換され、判定回路44で2値化されて、タイミング回路45のリセットに用いられる。

【0037】タイミング回路45から出力されるタイミング信号は、出力端子46を介して前記ガード期間除去回路27に送出されるとともに、ゲート回路40に供給されて相関を求めるのに必要な期間に対応する時間幅 τ の期間のみゲートを開放するように制御している。このため、相関を求めるのに必要な期間以外での疑似相関ピークが除去されて、同期保護特性が得られるようになる。

【0038】もし、受信機側のクロックが送信側のクロックと完全に一致していないときには、ゲート回路40のゲート開放期間がガード期間から外れる可能性があるが、これは判定回路44の出力に相関検出ピークが得られなくなることで検出することができる。このとき、タイミング回路45は、ゲート回路40に与えるタイミング信号の発生位置を徐々にずらすように制御する。このタイミング信号の発生位置を徐々にずらせてゆく手法は、ハンティングとして周知の技術であり、容易に実現することができる。

【0039】また、図5は、LPF43の出力を微分回路47で微分することにより、図4に示したものに比べてより厳密に相関ピークのタイミングを判別できるようにしたもので、さらに、微分された信号と微分されていない信号との論理積をアンド回路48でとることにより、なるべく狭いパルス幅の、つまりより正確なタイミング回路45のためのリセット信号を得るようにしたも

のである。

【0040】さらに、図6は、相関演算の具体例を示している。図6において、入力端子49に供給された複素デジタルデータの実数部Iまたは虚数部Qは、シフトレジスタ50によってTS'だけ遅延された後、直列接続された複数のラッチ回路511, 512, 513, ..., 51nに供給されて、タップ係数が抽出される。また、入力端子49に供給された信号は、そのまま直列接続された複数のラッチ回路521, 522, 523, ..., 52nに供給されてタップ係数が抽出される。

【0041】シフトレジスタ50の出力と入力信号とは乗算回路530によって乗算されるとともに、各ラッチ回路511, 512, 513, ..., 51nの出力と、各ラッチ回路521, 522, 523, ..., 52nの出力とが、それぞれ乗算回路531, 532, ..., 53nによって乗算される。そして、各乗算回路530, 531, 532, ..., 53nの出力が、加算回路541, 542, ..., 54nによって加算されることで相関演算が実行される。そして、全加算出力がタイミング回路55にリセット信号として与えられる。なお、タイミング回路55の出力は、出力端子56を介してガード期間除去回路27に送出される。

【0042】また、図7は、A/D変換回路26, 25から出力された複素デジタルデータの実数部I及び虚数部Qの両方を同時に使用する、シンボル同期回路32の例を示している。すなわち、A/D変換回路26, 25から出力された複素デジタルデータの実数部I及び虚数部Qは、それぞれ出力端子57, 58を介して前記ガード期間除去回路27に供給されるとともに、シフトレジスタ59, 60によって前記TS'だけ遅延された後、相関回路61, 62に供給されることにより、遅延前の信号との相関が求められる。

【0043】そして、相関回路61, 62の各出力の論理積をアンド回路63でとることにより、雑音及び信号のランダム性により生じる疑似的な相関のピークが効果的に除去され、その出力がタイミング回路64にリセット信号として与えられる。なお、タイミング回路64の出力は、出力端子65を介してガード期間除去回路27に送出される。

【0044】次に、図8は、この発明の他の実施例を示している。すなわち、これは、基準シンボルとしてヌルシンボル（または無変調シンボル）が送られている場合、これをヌルシンボル検出回路66で検出する。このヌルシンボル検出回路66は、図10に示したエンベロープ検出回路12及び判定回路13と同様な構成となっており、その検出結果はフライホイールタイミング回路35に供給されている。この場合、フライホイールタイミング回路35には、相関回路34の出力とヌルシンボル検出回路66の出力とが両方供給されることになるが、両出力の論理和をとってリセット信号としている。

【0045】このような構成によれば、ヌルシンボル検出回路66の検出結果は、動作初期の同期引き込みや、非常に大きなマルチパス妨害があるときの補助的なタイミング同期のために有効であり、相関演算によるタイミング検出の性能を補強するのに供される。なお、この発明は上記各実施例に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

【0046】

【発明の効果】以上詳述したようにこの発明によれば、特別な基準シンボルを伝送せずに情報の伝送効率を高め、しかも容易に送信側との正確なクロック同期をとることが可能である極めて良好なOFDM受信同期回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るOFDM受信同期回路の一実施例を示すブロック構成図。

【図2】同実施例で前提としているOFDM変調波形を示す図。

【図3】同実施例における要部の動作を説明するためのタイミング図。

【図4】同実施例における要部の変形例を示すブロック構成図。

【図5】同実施例における要部の他の変形例を示すブロック構成図。

【図6】同実施例における要部のさらに他の変形例を示すブロック構成図。

【図7】同実施例における要部のさらに他の変形例を示す

*すブロック構成図。

【図8】この発明の他の実施例を示すブロック構成図。

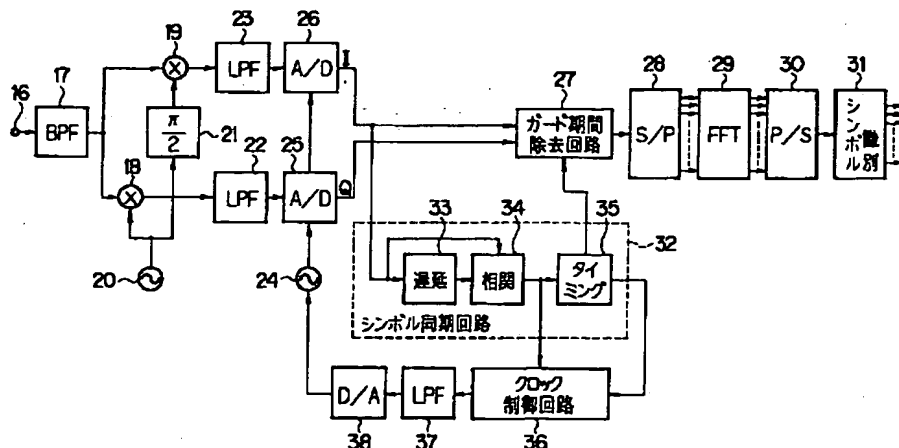
【図9】無変調シンボルを挿入したOFDM変調波形の一例を示す図。

【図10】従来のOFDM受信同期手段を示すブロック構成図。

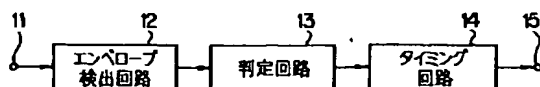
【符号の説明】

11…入力端子、12…エンベロープ検出回路、13…判定回路、14…タイミング回路、15…出力端子、16…入力端子、17…BPF、18、19…混合回路、20…局部発振回路、21…90°移相回路、22、23…LPF、24…クロック発振回路、25、26…A/D変換回路、27…ガード期間除去回路、28…S/P変換回路、29…FFT回路、30…P/S変換回路、31…シンボル識別回路、32…シンボル同期回路、33…遅延回路、34…相関回路、35…フライングタイミング回路、36…クロック制御回路、37…LPF、38…D/A変換回路、39…入力端子、40…ゲート回路、41…遅延回路、42…乗算回路、43…LPF、44…判定回路、45…タイミング回路、46…出力端子、47…微分回路、48…アンド回路、49…入力端子、50…シフトレジスタ、511～51n…ラッチ回路、521～52n…ラッチ回路、530～53n…乗算回路、541～54n…加算回路、55…タイミング回路、56～58…出力端子、59、60…シフトレジスタ、61、62…相関回路、63…アンド回路、64…タイミング回路、65…出力端子、66…ヌルシンボル検出回路。

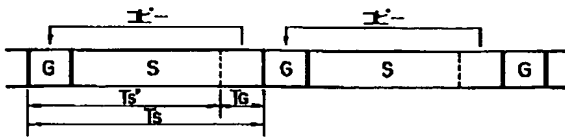
【図1】



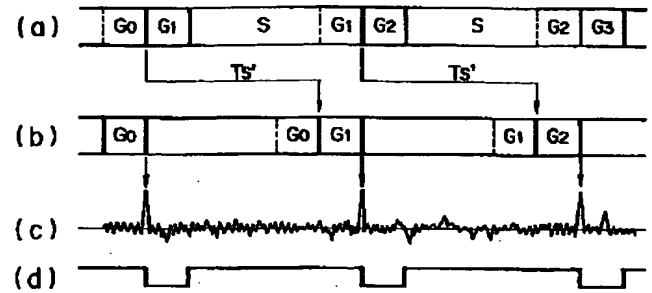
【図10】



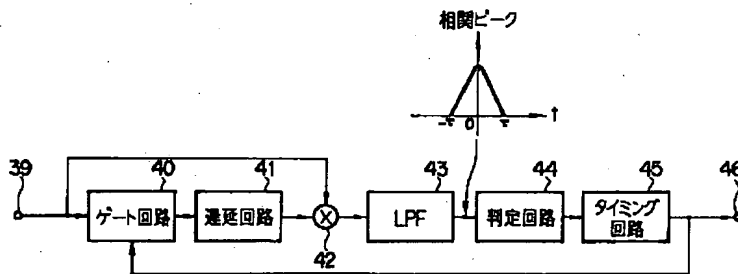
【図2】



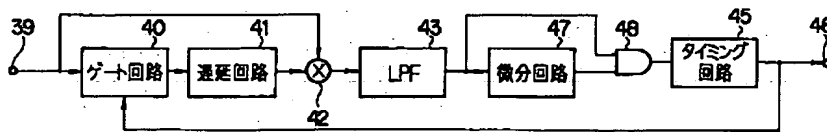
【図3】



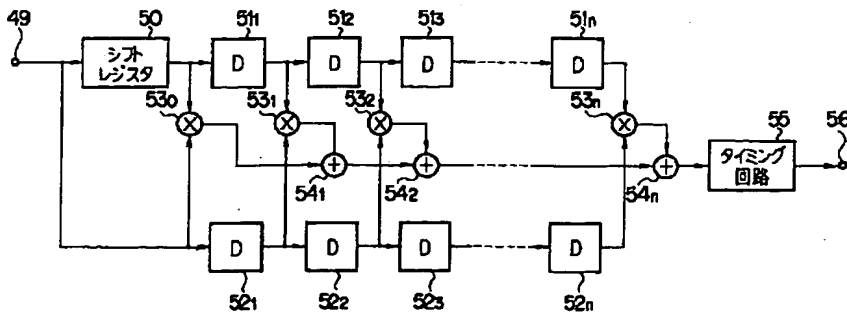
【図4】



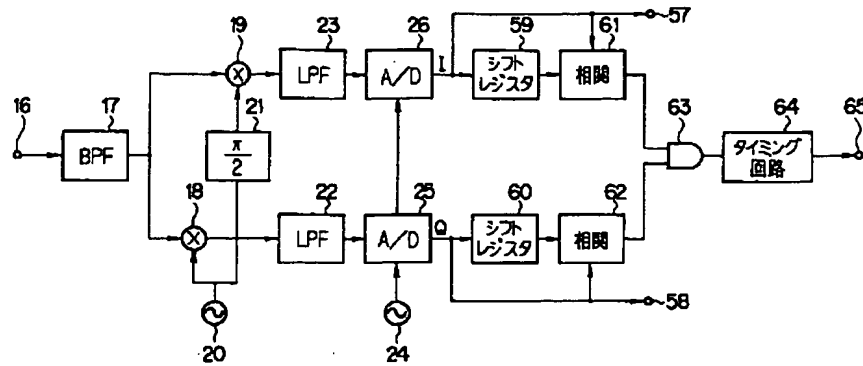
【図5】



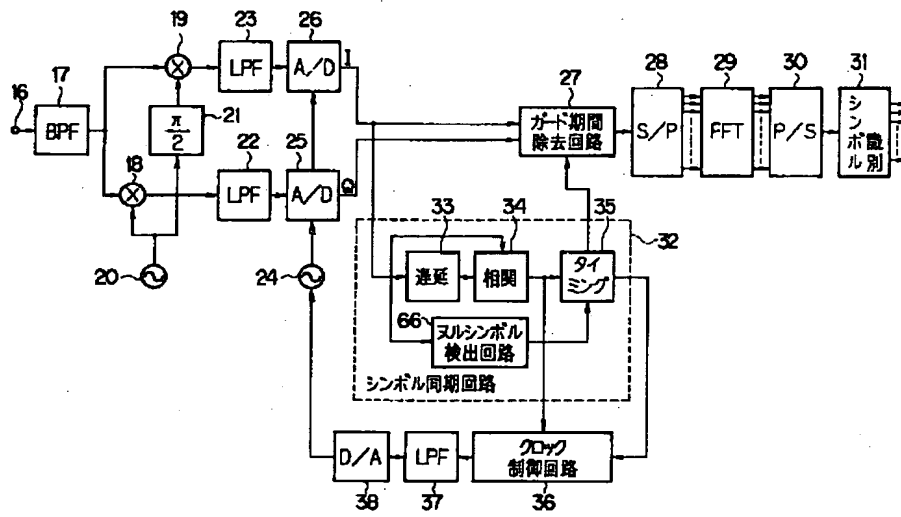
【図6】



【図7】



【図8】



【図9】

